

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-327229

(43)Date of publication of application : 10.12.1993

(51)Int.Cl. H05K 3/46

(21)Application number : 04-127022 (71)Applicant : HITACHI CABLE LTD

(22)Date of filing : 20.05.1992 (72)Inventor : ONDA MAMORU
TAKAGI MASAHARU
MURAKAMI TOMIO
YAMAGUCHI KENJI

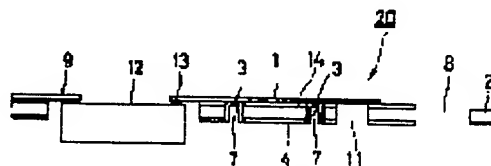
(54) MULTILAYER INTERCONNECTION BOARD

(57)Abstract:

PURPOSE: To provide a multilayer interconnection board which reduces impurities such as oxide mixed in an interconnection layer or in a conductive layer that connects interconnection layers, prevents troubles such as pattern disconnection and improves electric characteristics, reliability and durability.

CONSTITUTION: A plurality of interconnection layers 1 and 4 are electrically insulated by an insulating layer 2 so as to be laminated, a through hole 7 which penetrates the insulating layer 2 is formed and a conductive layer 3 is provided on the inner wall of the through hole 7. A multilayer interconnecting board 20 is permitted to conduct electricity to the

interconnecting layers 1 and 4 on the front and the rear of the insulating layer 2 by the conductive layer 3. At least one of the interconnecting layers 1 and 4 and the conductive layer 3 or the interconnecting layers 1 and 4 and the conductive layer 3 are formed by the PVD method (physical vapor deposition) such as deposition, sputtering and ion plating using high purity copper which allows a purity of 99,9999% or more.



LEGAL STATUS

[Date of request for examination] 14.01.1997

[Date of sending the examiner's decision of rejection] 29.09.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japan Patent Office

(51) Int.Cl.⁵

H 0 5 K 3/46

識別記号

庁内整理番号

F I

技術表示箇所

S 6921-4E

E 6921-4E

N 6921-4E

審査請求 未請求 請求項の数 1 (全 7 頁)

(21) 出願番号 特願平4-127022

(22) 出願日 平成4年(1992)5月20日

(71) 出願人 000005120

日立電線株式会社

東京都千代田区丸の内二丁目1番2号

(72) 発明者 御田 護

茨城県日立市助川町3丁目1番1号 日立

電線株式会社電線工場内

(72) 発明者 高城 正治

茨城県日立市助川町3丁目1番1号 日立

電線株式会社電線工場内

(72) 発明者 村上 富雄

茨城県日立市助川町3丁目1番1号 日立

電線株式会社電線工場内

(74) 代理人 弁理士 渡辺 望稔

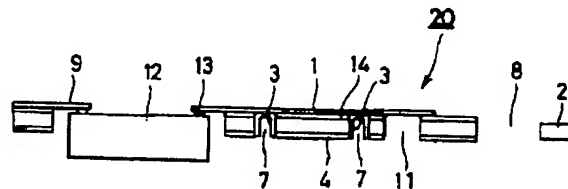
最終頁に続く

(54) 【発明の名称】 多層配線基板

(57) 【要約】

【目的】 配線層あるいは配線層間を接続する導電層中に混在する酸化物等の不純物を少なくし、パターン断線等の不都合を防止でき、また、電気的特性、信頼性、耐久性を向上できる多層配線基板を提供する。

【構成】 複数の配線層1、4を絶縁層2を介し電気的に絶縁して積層するとともに、絶縁層2を貫通する貫通孔5、7を形成してこの貫通孔5、7内壁に導電層3を設け、この導電層3で絶縁層2表裏の配線層1、4を電気的に導通する多層配線基板20において、配線層1、4の少なくとも1つ、導電層3あるいは配線層1、4と導電層3とを、純度が99.9999%以上の高純度銅を原料として蒸着、スパッタリングあるいはイオンプレーティング等のPVD法により形成した。



【特許請求の範囲】

【請求項1】複数の配線層を絶縁層を介し電気的に絶縁して積層するとともに、前記絶縁層を貫通する貫通孔を形成してこの貫通孔内壁に導電層を設け、この導電層で前記絶縁層表裏の配線層を電気的に導通する多層配線基板において、

前記配線層の少なくとも1つ、前記導電層あるいは前記配線層と前記導電層とを、純度が99.9999%以上の高純度銅を原料として蒸着、スパッタリングあるいはイオンプレーティングにより形成したことを特徴とする多層配線基板。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、複数の配線層が絶縁層で絶縁して積層される多層配線基板、特に、半導体チップの実装に用いられるTABテープキャリア、FPCあるいはプリント基板等に適した多層配線基板に関する。

【0002】

【従来の技術】現在、TABテープキャリア、FPCおよびプリント基板等の配線基板は高密度の実装に対応すべく配線層を絶縁層を介し積層して構成される多層配線基板が用いられ、また、微細配線化が図られる。このような多層配線基板は、一般に、ポリイミドフィルム等に銅箔を接着剤により貼設し、ポリイミドフィルムで絶縁層を、銅箔で配線層を形成する。そして、配線層は薄く、緻密で欠陥の無いことが強く要求され、この要求に応えるため配線層の形成に用いられる銅箔材料も薄く均質なものが開発されている。

【0003】ところで、微細配線化には配線層の配線パターンのパターンピッチおよびパターン幅の狭小化が不可欠であり、図6に示すように、これらパターンピッチおよびパターン幅は銅箔の厚さで最小値が規制される。しかしながら、現在の技術では銅箔の厚さを18μm以下にすることが困難であり、銅箔をより薄く加工すると、ピンホール、酸化銅の結晶粒あるいは酸素介在物等が影響し、パターン断線あるいはショート等の原因になることがある。このため、パターンピッチおよびパターン幅の最小寸法も銅箔の厚さ18μmに対応して必然的に定まり、微細配線化の大きな障害となっていた。

【0004】そこで、最近の配線基板では、その製造にいわゆる2層CCL(Copper Clad Lamination)法が採用され、銅を原料として導体層を蒸着により形成し、この後に、パターンエッチングを施して配線パターンを形成する。この2層CCLは、上述した銅箔を接着剤により貼設する方法と比較し、耐マイグレーション性に優れる、半田付け作業時に接着剤の軟化が生じない、ボンディングワイヤを超音波ボンディング法等で配線パターンに直接に接続できる、等の多くの利点がある。

【0005】また、このような多層配線基板では絶縁層両面の配線層の電気的接続を維持することが重要である。このため、このような多層配線基板には、一般に、絶縁層を貫通するパイアホールあるいはスルーホール等の貫通孔を形成し、この貫通孔内壁に形成した導電層で配線層間を接続する立体的な接続構造が採用される。この貫通孔の径は、最大値が配線パターン幅およびピッチと対応して定められ、配線パターンの幅が30μm、ピッチが30μmの微細配線であれば直径30μmが上限となる(図3参照)。

【0006】上述した多層配線基板の立体的な接続構造に関しては、本出願人も図4a、bに示されるパイアホールを(以下、便宜上、先行技術1と称す)、また、図5a、bに示されるスルーホール(同様に、先行技術2と称す)を先に提案している。

【0007】先ず、先行技術1を説明すると、図4a、bにおいて、2はポリイミド等の樹脂からなる絶縁層であり、この絶縁層2の表面に上述した図3と同様の幅およびピッチの配線パターンを有する上面配線層1が、絶縁層2の裏面に裏面配線層4が形成される。また、絶縁層2には表裏を貫通するパイアホール7が形成され、このパイアホール7の内壁面に裏面配線層4と一体的に導電層3が、また、表面配線層1にパイアホール7と対応して直径が50μmのランド1aが形成される。導電層3は、ランド1a、すなわち表面配線層1と裏面配線層4を電気的に接続する。

【0008】上述したパイアホール7は、上面配線層1をパターンエッチングで形成した後にエキシマレーザ法で絶縁層2の裏面側から開口させて形成され、この後に、内壁に導電層3を蒸着で形成する。上述したように、配線パターンの寸法からパイアホール7の径は最大値が30μmに規制され、また、導電層3は0.05~3μm程度の薄さに形成される。

【0009】また、先行技術2にあつては、図5a、bに示すように、絶縁層2および表面配線層1のランド1aを貫通するスルーホール5を形成し、このスルーホール5の内壁に導電層3を、また、絶縁層2の表面にスルーホール5の開口周縁でスルーホールランド6を、それぞれ一体的に蒸着によって形成する。上述した配線パターンの寸法から、このスルーホール5の径も最大値が30μm、スルーホールランド6の径の最大値は50μm程度に規制される。なお、この先行技術2については先行技術1と同一の部分については説明を省略している。

【0010】

【発明が解決しようとする課題】しかしながら、本発明者の実験、研究によれば、上述した蒸着により導体層を形成する方法は原料である銅の純度がパターン欠陥に大きく関与することが判明し、純度が3Nクラス(純度99.9%)の銅を原料とした場合、酸化銅の微粒子等が蒸着膜中に含まれてパターン欠陥が多くなる。例えば、

通常蒸着法では0.05~3 μ m程度の厚さの導電層が形成されるが、銅の結晶粒径は通常0.05~1.0 μ m程度であり、導電層は厚さに関し1つの結晶粒で構成されるとみなせる。

【0011】このため、結晶粒が酸化を生じた場合、また、結晶粒中に微細な酸化銅粒子あるいは金属酸化物（例えば、酸化シリコンあるいは酸化アルミニウム等のセラミック系列）が介在した場合に、配線パターンの幅が小さいと（例えば、30 μ m以下）、配線パターンの側面が図3に示すような0.5~5 μ mの凹凸を有するこぎり歯状を呈するという問題を生じる。

【0012】また、上述した先行技術1にあっては、導電層3をバイアホール7の全範囲にわたって均等な厚さに形成することが困難で、バイアホール7が小径になるほどにその底部近傍の厚さが小さくなる。そして、上述のように、バイアホール7の径も30 μ m程度で小さく、導電層3の厚さは0.05~3 μ mで薄いため、バイアホール7の底部の厚さは表面に比較して1/2程度に小さくなる。この結果、上述した酸化物等に起因した欠陥が発生しやすく、パターンの切断等が発生しやすいという問題があった。特に、バイアホール7の導電層3には絶縁層2との熱膨張差に起因した熱応力が発生するため、上記欠陥が存在するとパターンの切断等のおそれも大きなものがあった。

【0013】さらに、先行技術2にあっては、スルーホール5の内壁の導電層3の厚さを均一化することが困難であり、上述した先行技術1と同様に酸化物等に起因してパターン切断等の不具合が発生しやすいという問題がある。特に、この先行技術2は、導電層3が絶縁層2の表裏を連続し、絶縁層2の厚さ方向の熱膨張率が縦横方向の熱膨張率に比較して5倍程度大きいため、導電層3に発生する熱応力も大きくなり、上述の問題も顕著であった。

【0014】一方、上述した問題を解決するためには、導電層3を蒸着によることなく化学銅メッキ法により形成することも考えられるが、化学銅メッキ法では導電層3の形成に長時間（3 μ mの厚さで3時間）を要し、また、イオン系不純物の残留により配線間が腐食するという新たな問題が生じ、実用に耐えられない。この発明は、上記問題に鑑みてなされたもので、配線パターンの切断等の不都合の発生を防止でき、また、腐食等のおそれもない多層配線基板を提供することを目的とする。

【0015】

【課題を解決するための手段】上記目的を達成するため、この発明は、複数の配線層を絶縁層を介し電氣的に絶縁して積層するとともに、前記絶縁層を貫通する貫通孔を形成してこの貫通孔内壁に導電層を設け、この導電層で前記絶縁層表裏の配線層を電氣的に導通する多層配線基板において、前記配線層の少なくとも1つ、前記導電層あるいは前記配線層と前記導電層とを、純度が9

9.9999%以上の高純度銅を原料として蒸着、スパッタリングあるいはイオンプレーティングにより形成した。

【0016】

【作用】この発明の多層配線基板は、蒸着、スパッタリングまたはイオンプレーティング等の気相メッキ法で配線層あるいは導電層を形成するため、その形成を高速で行え、さらに、後の腐食等のおそれもない。そして、純度が99.9999%以上の高純度銅を原料とするため、配線層および導電層に存在する酸化物等の不純物がきわめて少なくなり、不純物に起因したパターン断線等の不都合を防止できる。

【0017】

【実施例】以下、この発明の実施例を図面を参照して説明する。図1および図2はこの発明の一実施例にかかる多層配線基板を表し、図1が平面図、図2が断面図である。なお、前述した従来のものと同一の部分には同一の番号を付す。

【0018】図において、20は多層配線基板である400ピンTABテープキャリアであり、このTABテープキャリア20は、絶縁層2の表面に表面配線層1を、絶縁層2の裏面に裏面配線層4を積層して構成される。絶縁層2は、厚さが75 μ mのポリイミドフィルムあるいはガラスエポキシから構成される。表面配線層1は、絶縁層2の表面にポリイミド径の接着剤層14により固着され、インナリード部およびアウトリード部を有する配線パターンが形成される。裏面配線層4は、3.7 μ mの厚さを有し、グランド層として電氣的に接地される。接着剤層14は20 μ mの厚さを有し、絶縁層2の厚さとの和、すなわち絶縁層全体としての厚さは95 μ mになる。

【0019】このTABテープキャリア20には、幅方向両側に走行駆動用のパイロットホール8が、幅方向中央に矩形状のデバイスホール10が、このデバイスホール10の外側に各辺に対応して4つのOLBホール11が形成されている。パイロットホール8は図示しないテープ駆動機構に係合し、デバイスホール10には半導体チップ12が配置される。この半導体チップ12は電極がバンプ13によって表面配線層1のインナリード部に接続される。

【0020】また、TABテープキャリア20には、デバイスホール10の外側近傍およびOLBホール11の内側近傍にそれぞれバイアホール7が形成される。前述した図4a、bにも示すように、これらバイアホール7は上部が表面配線層1によって閉止され、バイアホール7の内壁面および表面配線層1の裏面に導電層3が2.5 μ mの厚さに形成される。後述するように、導電層3および裏面配線層4は純度が99.9999%以上の高純度無酸素銅を原料として蒸着、スパッタリングあるいはイオンプレーティング等のPVD法（物理的蒸着法）

により一体かつ同時に形成される。

【0021】パイアホール7は、50 μ mの直径を有し、その長さ、すなわち上述した絶縁層全体の厚さに対する直径の比（便宜上、アスペクト比と称す）が1.9である。導電層3は、裏面配線層4と一体的に連続して電氣的に導通し、表面配線層1の所定のインナリード部と所定のアウトリード部とを接続する。なお、述べるまでもないが、この発明において、上述のパイアホール7を前述したスルーホール5で代替すること、また、スルーホール5とパイアホール7とを組み合わせ形成することも可能である。

【0022】この実施例にかかるTABテープキャリア20は、次のようにして製造される。まず、絶縁層2であるフィルムにデバイスホール10およびOLBホール11を形成し、併せて、パイアホール7をエキシマレーザにより形成する。パイアホール7は直径が50 μ mに形成される。この後、これらデバイスホール10等が形成されたフィルムにポリイミド系接着剤により無酸素銅圧延銅箔を貼着し、表面配線層1を形成する。上述したように、絶縁層2の厚さは75 μ m、表面配線層1の厚さは18 μ m、接着剤層14の厚さは20 μ mである。

【0023】次に、表面配線層1にエッチング等を実施し、インナリード部およびアウトリード部を有する配線パターンを形成する。続いて、純度が99.9999%以上の高純度無酸素銅を原料としてPVD法の1つである真空蒸着法により裏面配線層4および各パイアホール7内の導電層3を同時に形成する。この真空蒸着は真空度 10^{-6} 中で5分間行う。上述したように、裏面配線層4は3.7 μ mの厚さに、導電層3は2.5 μ mの厚さ*

*に形成される。なお、この裏面配線層4と導電層3とを同時に形成する手法に関しては、本出願人が先に提出した特願平4-118596号に詳細に記載されているため一部の説明を割愛している。

【0024】ここで、原料とする高純度無酸素銅は、純度が99.99%の無酸素銅を電析法により高純度化し、さらに、ゾーンメルティング法により精製して製造する。ただし、本発明において原料とする高純度無酸素銅は上述の方法により製造されるものに限らず、他の製法によって製造したものも用いることができる。

【0025】この実施例におけるTABテープキャリア20は、純度が99.9999%以上の高純度銅を原料に蒸着で裏面配線層4および導電層3を形成するため、これら層3、4中に混在する酸化物等の不純物が極めて少なくできる。このため、配線パターンの側面に図3に示すようなこぎり歯状の凹凸が形成されることもなく、また、パターン切断あるいはクラック等の不都合が発生せず、さらに、熱応力に対し大きな耐力を発揮でき高い信頼性、高い耐久性を得られる。

20 【0026】そして、本発明者の実験によれば、純度が99.9999%の高純度銅により成形した裏面配線層4および導電層3は、純度が99.99%の銅を原料として製造した薄膜（4N）、また、純度が99.999%の銅を原料として製造した薄膜（5N）と比較して、図7に示すように酸化速度が小さく、また、電気抵抗も表1に示すように小さいことが実証された。この点からも、本発明は高い電気的特性、高い信頼性および高い耐久性が期待できる。

【0027】

表1. Cu蒸着膜の特性

試料名称	膜厚 (μ m)	電気抵抗値 (μ Ωcm)	PCTによるシート抵抗 (Ω/cm ²)		
			0 h	5 h	50 h
4N	0.63	2.1	0.034	0.034	0.040
5N	0.57	2.1	0.037	0.037	0.043
6N	0.67	1.7	0.026	0.026	0.030

【0028】なお、上述した実施例では、ポリイミドのフィルムにポリイミド系の接着剤で銅箔を貼着して絶縁層2と表面配線層1とを形成するが、接着剤を用いない2層TABテープにより本発明を構成することも可能である。そして、2層TABテープを用いた場合は、銅箔にポリイミドワニスを5回に分けて塗布、乾燥、焼き付けし、50 μ mの厚さの絶縁層2を形成したのちに、パイロットホール8を金型による打ち抜き加工で、デバイスホール10およびパイアホール7をエキシマレーザに

よって加工する。

【0029】また、上述した実施例では、PVD法として真空度 10^{-6} 下での5分間の真空蒸着を例示するが、真空蒸着に限らずスパッタリングあるいはイオンプレーティング法等も採用することができ、また、真空度等の条件も適宜定められることは述べるまでもない。

【0030】

【発明の効果】以上説明したように、この発明によれば、絶縁層表裏の配線層の少なくとも1つ、これら配線

7

8

層を接続する導電層、あるいは配線層と導電層とを純度が99.9999%以上の高純度銅を原料としてPVD法により形成するため、層中の酸化物等の不純物を少なくでき、パターン断線及びクラック等の不都合の発生を防止でき、また、高い信頼性、高い耐久性を得られる。

【図面の簡単な説明】

【図1】 この発明の一実施例にかかる多層配線基板の平面図である。

【図2】 同多層配線基板の断面図である。

【図3】 先行する多層配線基板の一部を拡大した斜視図である。

【図4】 同多層配線基板の他の一部を拡大して表し、aが斜視図、bが断面図である。

【図5】 同多層配線基板のまた他の一部を拡大して表し、aが斜視図、bが断面図である。

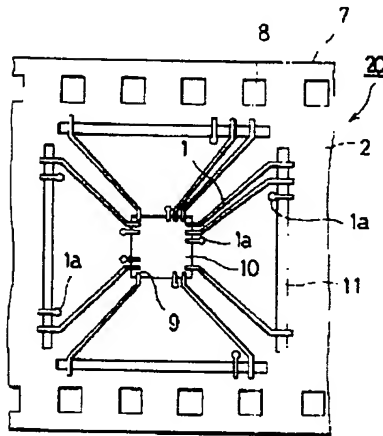
【図6】 多層配線基板における銅箔とパターンピッチおよびパターン幅との関係を表すグラフである。

【図7】 多層配線基板における酸化速度と酸化膜厚との関係を表すグラフである。

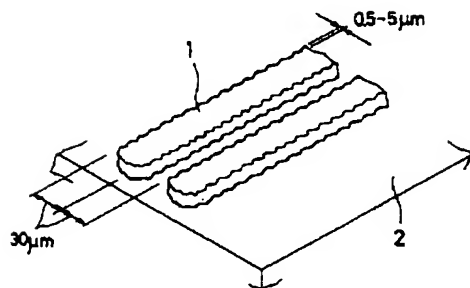
【符号の説明】

- 1 表面配線層
- 2 絶縁層
- 3 導電層
- 4 裏面配線層
- 5 スルーホール（貫通孔）
- 7 バイアホール（貫通孔）
- 10 デバイスホール
- 12 半導体チップ
- 20 TABテープキャリア（多層配線基板）

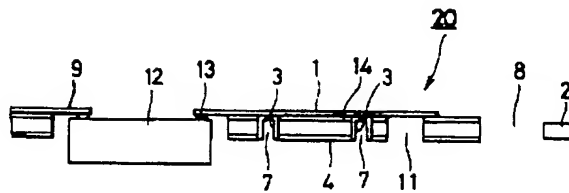
【図1】



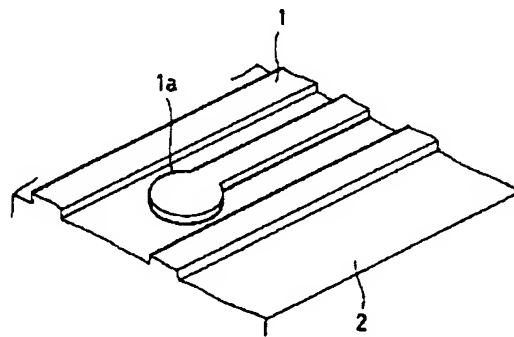
【図3】



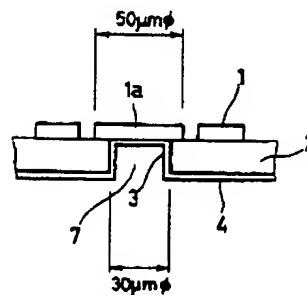
【図2】



【図4】

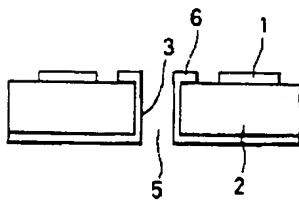
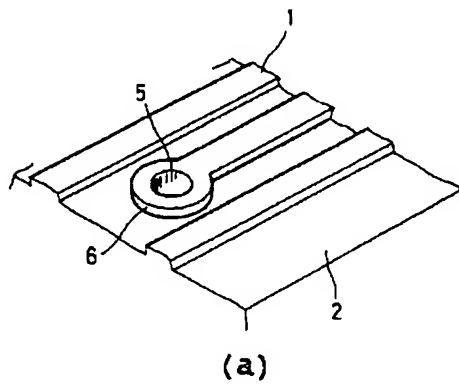


(a)

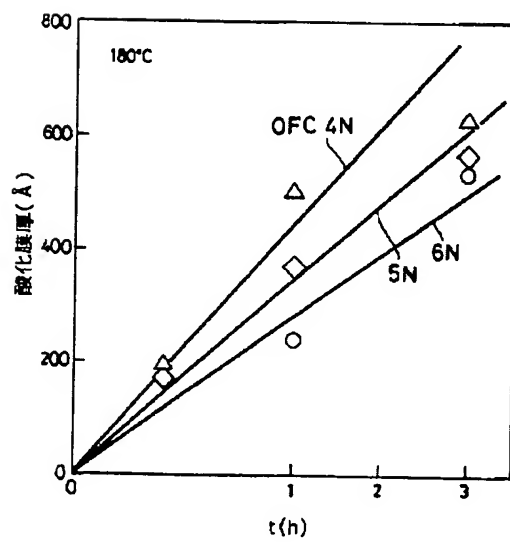


(b)

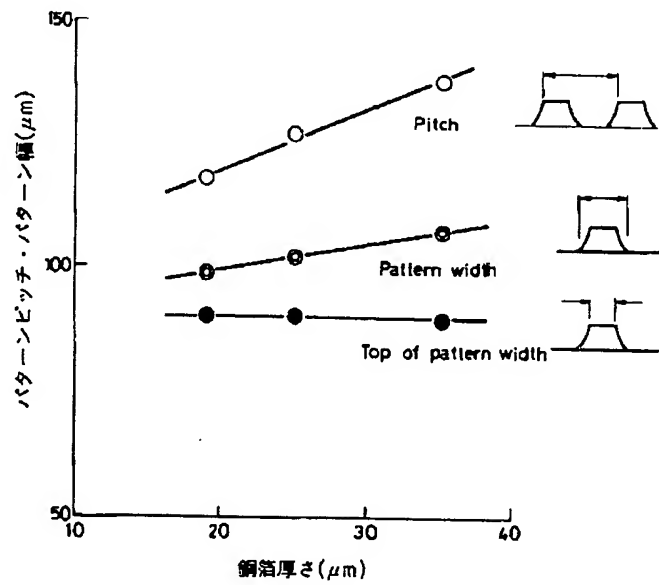
【図5】



【図7】



【図6】



フロントページの続き

(72)発明者 山 口 健 司

茨城県土浦市木田余町3550番地 日立電線
株式会社システムマテリアル研究所内